

**SYNCHRONOUS MULTIPLICATION CLOCK SIGNAL GENERATION CIRCUIT**

Patent Number: JP2000059183  
Publication date: 2000-02-25  
Inventor(s): HONDO MIKIO  
Applicant(s): MITSUBISHI ELECTRIC CORP  
Requested Patent: ☐ JP2000059183  
Application Number: JP19980221553 19980805  
Priority Number(s):  
IPC Classification: H03K5/00; G06F1/06; H03K5/135; H03K5/15; H03L7/18  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To reduce the phase errors of the output signals of a synchronous multiplication clock generation circuit for outputting frequency multiplication signals synchronized with reference clock signals.

**SOLUTION:** This synchronous multiplication clock signal generation circuit 1500 is provided with serially connected plural delay lines, a phase comparator 110 for comparing the phases of the output of the delay line of a final stage and reference signals, a counter 120 and a delay control circuit for generating control count signals corresponding to a phase compared result and a decoding circuit 140 for setting the delay time of the respective delay lines corresponding to the control count signals. The control count signals are provided with common count data set in common to the respective delay lines and auxiliary count data for independently setting the delay time of the respective delay lines.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2000-59183

(P2000-59183A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 3 K 5/00		H 0 3 K 5/00	M
G 0 6 F 1/06		5/135	
H 0 3 K 5/135		G 0 6 F 1/04	3 1 2 A
5/15		H 0 3 K 5/15	G
H 0 3 L 7/18		H 0 3 L 7/18	Z

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平10-221553

(22) 出願日 平成10年8月5日 (1998.8.5)

(71) 出願人 000008013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 本藤 幹雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

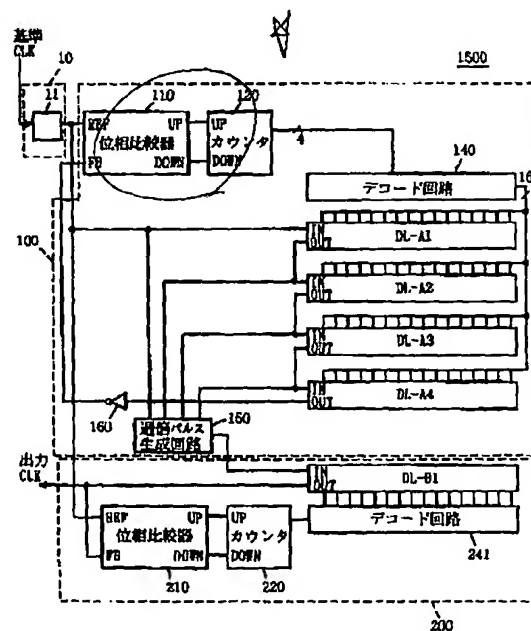
弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 同期逡倍クロック信号生成回路

(57) 【要約】

【課題】 基準クロック信号に同期した周波数逡倍信号を出力する同期逡倍クロック信号生成回路の出力信号の位相誤差を低減する。

【解決手段】 本発明の同期逡倍クロック信号生成回路は、直列に接続された複数のディレイラインと、最終段のディレイラインの出力と基準信号との位相比較を行なう位相比較器110と、位相比較結果に応じて制御カウント信号を生成するカウンタ120および逡延制御回路130と、制御カウント信号に応じて各ディレイラインの逡延時間を設定するデコード回路とを備える。制御カウント信号は、各ディレイラインに対して共通に設定される共通カウントデータと、各ディレイラインの逡延時間を独立に設定するための補助カウントデータとを含む。



## 【特許請求の範囲】

【請求項1】 基準クロック信号に同期した通信周波数信号を出力する同期通信クロック信号生成回路であって、

前記基準クロック信号に同期した信号を出力するための同期遅延手段を備え、

前記同期遅延手段は、

互いに直列に接続され、設定された遅延時間に応じて入力信号を遅延して出力する第1複数個の遅延手段を含み、

前記基準クロック信号と前記同期遅延手段の出力である帰還信号との位相差を比較する位相比較手段と、

前記位相比較手段により検出された位相誤差に基づいて、前記位相誤差を補償するための補償制御量を第1複数個の遅延手段の各々に分散して分配し、前記同期遅延手段の遅延量を制御する遅延制御手段と、

前記第1複数個の遅延手段の出力を受けて、通信周波数の信号を生成する通信手段とをさらに備える、同期通信クロック信号生成回路。

【請求項2】 前記通信手段の出力信号を受けて、前記基準クロック信号と前記通信手段の出力信号との位相差を検出し、前記基準クロック信号に同期した通信周波数信号を生成する位相差補正手段をさらに備える、請求項1記載の同期通信クロック信号生成回路。

【請求項3】 前記第1複数個の遅延手段の各々は、入力信号を単位遅延時間分遅延して出力する、互いに直列に接続された第2複数個の単位遅延手段を含み、前記第1複数個の遅延手段の各々に対応して設けられ、前記遅延制御手段の指示に応じて前記第2複数個の単位遅延手段を選択して活性化する第1複数個のデコード手段をさらに備える、請求項1または2記載の同期通信クロック信号生成回路。

【請求項4】 前記遅延制御手段は、前記補償制御量の前記遅延手段の各々に対する分配量のうち、前記第1複数個の遅延手段に対して共通に割り当てられる共通分配値に対応する共通カウンタデータと、前記第1複数個の遅延手段の一部に対して分散して割り当てられ、前記遅延時間を前記共通カウンタデータによって設定される前記遅延時間から前記単位遅延時間分増加させる補助カウンタ信号とを生成する、請求項3記載の同期通信クロック信号生成回路。

【請求項5】 前記遅延制御手段は、前記補償制御量の前記遅延手段の各々に対する分配量のうち、前記第1複数個の遅延手段に対して共通に割り当てられる共通分配値に対応する個数の前記単位遅延手段を、前記遅延手段の各々において活性化し、かつ、前記遅延手段のうち予め定められた優先順位にしたがって順次選択される遅延手段ごとに、1つの前記単位遅延手段をさらに活性化することで前記同期遅延手段の遅延量を制御し、

前記優先順位は、前記順次選択される遅延手段が分散して分布するように定められる、請求項3記載の同期通信クロック信号生成回路。

【請求項6】 前記遅延制御手段は、

前記第1複数個は、 $2^N$ 個であり、前記単位遅延時間に相当する前記遅延手段の単位制御量により、前記補償制御量を $[(\text{前記単位制御量}) \times 2^N]$ に対する剰余Qで表現する場合、前記補償制御量が

$$[(\text{前記単位制御量}) \times 2^N] \times P + Q$$

(P, Q: 0以上の整数)であるときに、

1) 1番目のステップにおいて、前記補償制御量のうち、 $[(\text{前記単位制御量}) \times P]$ で表される共通補償量を各前記遅延手段に割り当て、

11) 各1番目のステップにおいて、前記剰余Qに応じて、前記遅延手段の一部に前記共通補償量に追加して単位制御量を割り当てる処理を、第1番～第 $2^N$ 番の前記遅延手段を $2^{N-1}$ 個ずつの遅延手段を含む $2^1$ 個のグループに分け、前記 $2^1$ 個のグループの先頭の遅延手段のうち、(j-1)番目のステップまでに前記追加した単位制御量を未だ割り当てられていない遅延手段に、前記剰余Q分の割り当てが完了するまでステップを繰り返すことに相当する割り当て処理方法により行う、請求項3記載の同期通信クロック信号生成回路。

【請求項7】 前記第1複数個の遅延手段の各々は、入力信号を単位遅延時間分遅延して出力する、互いに直列に接続された第2複数個の単位遅延手段を含み、前記第1複数個の遅延手段の各々に対応して設けられ、前記遅延手段の出力をさらに単位遅延時間分遅延させる前記第1複数個の補助遅延手段をさらに備える、請求項1または2記載の同期通信クロック信号生成回路。

【請求項8】 前記遅延制御手段は、前記補償制御量の前記遅延手段の各々に対する分配量のうち、前記第1複数個の遅延手段に対して共通に割り当てられる共通分配値に対応する共通カウンタデータを生成する共通カウンタデータ生成回路と、前記第1複数個の補助遅延手段の一部を分散して活性化させる前記補助カウンタ信号生成回路とを含む、請求項7記載の同期通信クロック信号生成回路。

【請求項9】 前記遅延制御手段は、前記補償制御量の前記遅延手段の各々に対する分配量のうち、前記第1複数個の遅延手段に対して共通に割り当てられる共通分配値に対応する個数の前記単位遅延手段を、前記遅延手段の各々において活性化し、かつ、前記遅延手段のうち予め定められた優先順位にしたがって順次選択される遅延手段ごとに、前記補助遅延手段をさらに活性化することで前記同期遅延手段の遅延量を制御し、

前記優先順位は、前記順次選択される遅延手段が分散して分布するように定められる、請求項7記載の同期通信クロック信号生成回路。

【請求項10】 前記遅延制御手段は、前記第1複数個は、 $2^m$ 個であり、前記単位遅延時間に相当する前記遅延手段の単位制御量により、前記補償制御量を $[(\text{前記単位制御量}) \times 2^m]$ に対する剰余Qで表現する場合、前記補償制御量が

$$[(\text{前記単位制御量}) \times 2^m] \times P + Q$$

(P, Q: 0以上の整数)であるときに、

i) 1番目のステップにおいて、前記補償制御量のうち、 $[(\text{前記単位制御量}) \times P]$ で表される共通補償量を各前記遅延手段に割り当て、

ii) 各j番目のステップにおいて、前記剰余Qに応じて、前記補助遅延手段の一部を選択的に活性化処理を、第1番～第 $2^j$ 番の前記遅延手段を $2^{j-1}$ 個ずつの遅延手段を含む $2^{j-1}$ 個のグループに分け、前記 $2^{j-1}$ 個のグループの先頭の遅延手段に対応する補助遅延手段のうち(j-1)番目のステップまでに未だ活性化されていない補助遅延手段に、前記剰余Q分の割り当てが完了するまでステップを繰り返すことに相当する処理方法により行う、請求項7記載の同期通信クロック信号生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、基準クロックに同期した通信周波数の信号を出力する同期通信クロック信号生成回路の構成に関するものである。

【0002】

【従来の技術】外部より与えられた基準クロック信号に同期した通信周波数信号を得る手段として、いわゆるフェーズロックドループ回路(以下PLL回路という)が知られている。このPLL回路を、たとえば半導体集積回路装置の内部クロック信号の供給用として使用する場合に、集積回路へ格載した場合のノイズ等の問題を回避するために、上記PLL回路をデジタル素子によって構成するデジタルPLL回路に採用される同期通信クロック信号生成回路の技術が知られている。

【0003】たとえば、特開平9-74339号公報に、複数のディジタル遅延回路(以下、ディレイラインという)を用いる同期通信クロック信号生成回路の構成の一例が開示されている。

【0004】図11は、特開平9-74339号公報に開示された従来の技術の同期通信クロック信号生成回路2000の全体構成を示す図である。

【0005】図11を参照して、同期通信クロック信号生成回路2000は、信号を設定された遅延時間に対応して遅延して出力するディレイラインDL1～4と、入力信号の位相を比較し比較結果に応じたアップダウン信号(U/D信号)を出力する位相比較器PDと、アップダウン信号(U/D信号)を受けてディレイラインDL1～4の遅延時間を制御するディレイ選択信号SLを出力するディレイライン制御回路DLCと、基準クロック

信号CLKinとディレイラインDL1～DL3の出力を受けて出力信号CLKoutを生成するパルス生成回路PGとを備える。

【0006】ディレイラインDL1～4は、互いに直接に接続され、ディレイラインDL1は、基準クロック信号CLKinを受けて遅延信号CLBを出力する。次にディレイラインDL2は信号CLBを受けて遅延信号CLCを出力する。同様に、ディレイラインDL3、DL4も前段のディレイラインの出力信号を受けてさらに遅延させる。

【0007】最終段のディレイラインDL4の出力D0と基準クロック信号CLKinとは位相比較器PDに入力される。位相比較器PDは、基準クロック信号CLKinの立上がりタイミングを受ける信号D0の論理レベルに対応してアップダウン信号U/Dをカウントアップもしくはカウントダウンする。ディレイライン制御回路DLCは、アップダウン信号U/Dに対応してディレイ選択信号SLを設定する。ディレイラインDL1～4の遅延時間は、ディレイ選択信号SLに対応して共通に設定される。

【0008】図12は、ディレイラインDL1～4の構成をより詳細に示す図である。図12を参照して、ディレイラインDL1～4の各々は、入力端子INと、出力端子OUTと、単位遅延素子U0～U15を備える。単位遅延素子U0～U15の各々は、第1入力端子Aと第2入力端子Bと出力端子Cとディレイ選択端子SEL0～SEL15と接続される制御端子Dとを含む。信号入力端子INは、単位遅延素子U0～U15の各々の第1入力端子Aと共通に接続される。単位遅延素子U15の第2入力端子Bは接地される。単位遅延素子U15の出力端子Cは、次段の図示しない単位遅延素子の第2入力端子Bと接続される。順次同様の接続がなされ、単位遅延素子U4の出力端子Cは単位遅延素子U3の第2入力端子Bと接続される。すなわち、単位遅延素子U15～U0は直列に接続され、単位遅延素子U0の出力端子がディレイラインの出力端子OUTと接続される。

【0009】また、単位遅延素子U0～U15の各制御端子Dは、ディレイ選択信号SLが入力されるディレイ選択端子SEL0～SEL15と各々接続される。ディレイ選択信号SLに応じて、ディレイ選択端子SEL0～SEL15のうちの1つが選択される。選択されたディレイ選択端子を含む単位遅延素子は、入力端子INと接続された第1入力端子Aより入力信号を取込み、単位遅延時間dだけ遅延された信号を出力端子Cに出力する。出力端子Cの出力は次段の単位遅延素子の入力として与えられ、以降順次単位遅延時間dずつ遅延された信号が伝達される。

【0010】以上の動作により、ディレイ選択信号SLに応じたディレイ選択端子の選択によって、ディレイラインの遅延時間を単位遅延時間dずつ段階的に変化させ

ることができる。

【0011】再び図11を参照して、位相比較器PDは、基準クロック信号CLK<sub>in</sub>とディレイ選択信号SLの変化に応じてディレイラインDL4の出力として得られるD0をフィードバック信号として受ける。位相比較器PDは、基準クロック信号CLK<sub>in</sub>の立上がりタイミングにおける信号D0の論理レベルに対応したアップダウン信号U/Dをディレイライン制御回路DLCに出力する。

【0012】図13は、ディレイライン制御回路DLCの構成を詳細に示す図である。図13を参照して、ディレイライン制御回路DLCは、アップダウンカウンタUDCとデコーダ回路DACとを備える。アップダウンカウンタUDCは、位相比較器PDよりアップダウン信号U/Dを受けるUDI端子と、クロック信号CLK<sub>in</sub>を受けるCK端子と、リセット信号RSTを受けるRS端子とを含む。アップダウンカウンタUDCは、アップダウン信号U/Dに応じて4ビットの信号であるカウントデータUD(0~3)を生成する。アップダウンカウンタUDCは、リセット信号RSTの活性化に応じて、カウントデータUDを初期化する。以降は、クロック信号CLK<sub>in</sub>に同期してアップダウン信号U/Dの状態をカウントデータUD(0~3)に反映する。

【0013】デコーダ回路DECは、カウントデータUD(0~3)に応じてディレイ選択端子SEL0~SEL5を択一的に選択して活性化する。

【0014】すなわち、位相比較器PDにおける位相比較結果に応じたディレイ選択信号SLによってディレイラインDL1~4に対して共通の遅延時間Tdが設定され、これに応じて得られる信号D0がさらにフィードバックされる。このフィードバックループの形成により、D0と基準クロック信号CLK<sub>in</sub>とは位相が同期した状態でロックする。ロック状態においては、各ディレイラインの共通遅延時間Tdは基準クロック信号の半周期を等分する状態となるため、基準クロック信号CLK<sub>in</sub>とディレイラインDL1~3の出力であるCLA~CLCとを、EX-ORゲートE01~E03を備えるパルス生成回路PGに与えることによって、EX-ORゲートE03の出力として基準クロック信号CLK<sub>in</sub>と同期した4通倍信号である出力信号CLK<sub>out</sub>が得られる。

【0015】図14は、基準クロック信号CLK<sub>in</sub>を2分周回路FAによって分周した後に、周波数通倍を行なう同期通倍クロック信号生成回路2100の構成を示すものである。2分周回路FAを設けることにより、同期通倍クロック信号生成回路2100は、基準クロック信号CLK<sub>in</sub>のデューティ比に関係なくデューティ比が50%のクロックCLAを基準としてPLL回路を動作させることができる。外部から与えられる基準クロックのデューティ比が50%でない場合に発生する問題に

対処するために、一般的にこの2分周回路FAを前段に有する同期通倍クロック信号生成回路2100の構成がとられる。

【0016】

【発明が解決しようとする課題】しかしながら、同期通倍クロック信号生成回路においては、ディレイラインDL1~4の遅延時間を単位遅延時間dずつ段階的にしか設定することができない。このため、ロック時に得られる出力信号と理想的な通倍信号との間には、A/D変換時の量子化誤差に相当する単位遅延時間d以下の位相誤差が、同期通倍クロック信号生成回路の本質的な問題として存在する。

【0017】特に、従来の技術の同期通倍クロック信号生成回路の構成においては、位相比較器PDにおけるフィードバック信号D0と基準信号との比較結果に応じて設定されるディレイ選択信号SLを各ディレイラインDL1~4に共通の制御信号として用いるため、ディレイライン全体での位相調整は4dずつ段階的にしか行なうことができないため、出力通倍信号と理想的な通倍周波数信号との位相誤差は大きい値となる。

【0018】この発明の目的は、上記のような課題を解決するためになされたものであって、その目的は、より位相誤差の小さい周波数通倍信号を得ることができる同期通倍クロック信号生成回路の構成を提供することである。

【0019】

【課題を解決するための手段】請求項1記載の同期通倍クロック信号生成回路は、基準クロック信号に同期した通倍周波数信号を出力する同期通倍クロック信号生成回路であって、基準クロック信号に同期した信号を出力するための同期遅延手段を備え、同期遅延手段は、互いに直列に接続され、設定された遅延時間に応じて入力信号を遅延して出力する第1複数個の遅延手段を含み、基準クロック信号と同期遅延手段の出力である通倍信号との位相差を比較する位相比較手段と、位相比較手段により検出された位相誤差に基づいて、位相誤差を補償するための補償制御量を第1複数個の遅延手段の各々に分散して分配し、同期遅延手段の遅延量を制御する遅延制御手段と、第1複数個の遅延手段の出力を受けて、通倍周波数の信号を生成する遅延手段とをさらに備える。

【0020】請求項2記載の同期通倍クロック信号生成回路は、請求項1記載の同期通倍クロック信号生成回路であって、遅延手段の出力信号を受けて、基準クロック信号と通倍手段の出力信号との位相差を検出し、基準クロック信号に同期した通倍周波数信号を生成する位相差補正手段をさらに備える。

【0021】請求項3記載の同期通倍クロック信号生成回路は、請求項1または2記載の同期通倍クロック信号生成回路であって、第1複数個の遅延手段の各々は、入力信号を単位遅延時間分遅延して出力する、互いに直列

に接続された第2複数個の単位遅延手段を含み、第1複数個の遅延手段の各々に対応して設けられ、遅延制御手段の指示に応じて第2複数個の単位遅延手段を選択して活性化する第1複数個のデコード手段をさらに備える。

【0022】請求項4記載の同期通信クロック信号生成回路は、請求項3記載の同期通信クロック信号生成回路であって、遅延制御手段は、補償制御量の遅延手段の各々に対する分配量のうち、第1複数個の遅延手段に対して共通に割り当てられる共通分配値に対応する共通カウンタデータと、第1複数個の遅延手段の一部に対して分散して割り当てられ、遅延時間を共通カウンタデータによって設定される遅延時間から単位遅延時間分増加させる補助カウンタ信号とを生成する。

【0023】請求項5記載の同期通信クロック信号生成回路は、請求項3記載の同期通信クロック信号生成回路であって、遅延制御手段は、補償制御量の遅延手段の各々に対する分配量のうち、第1複数個の遅延手段に対して共通に割り当てられる共通分配値に対応する個数の単位遅延手段を、遅延手段の各々において活性化し、かつ、遅延手段のうち予め定められた優先順位にしたがって順次選択される遅延手段ごとに、1つの単位遅延手段をさらに活性化することで同期遅延手段の遅延量を制御し、優先順位は、順次選択される遅延手段が分散して分布するように定められる。

【0024】請求項6記載の同期通信クロック信号生成回路は、請求項3記載の同期通信クロック信号生成回路であって、遅延制御手段において、第1複数個は、 $2^m$ 個であり、単位遅延時間に相当する遅延手段の単位制御量により、補償制御量を $[(\text{単位制御量}) \times 2^m]$ に対する剰余Qで表現する場合、補償制御量が、 $[(\text{単位制御量}) \times 2^m] \times P + Q$ 、(P, Q: 0以上の整数)であるときに、

1) 1番目のステップにおいて、補償制御量のうち、 $[(\text{単位制御量}) \times P]$ で表される共通補償量を各遅延手段に割り当て、

1 i) 各j番目のステップにおいて、剰余Qに応じて、遅延手段の一部に共通補償量に追加して単位制御量を割り当てる処理を、第1番～第 $2^m$ 番の遅延手段を $2^{m-j}$ 個ずつの遅延手段を含む $2^j$ 個のグループに分け、 $2^j$ 個のグループの先頭の遅延手段のうち、(j-1)番目のステップまでに追加した単位制御量を未だ割り当てられていない遅延手段に、剰余Q分の割り当てが完了するまでステップを繰り返すことに相当する割り当て処理方法により行う。

【0025】請求項7記載の同期通信クロック信号生成回路は、請求項1または2記載の同期通信クロック信号生成回路であって、第1複数個の遅延手段の各々は、入力信号を単位遅延時間分遅延して出力する、互いに直列に接続された第2複数個の単位遅延手段を含み、第1複数個の遅延手段の各々に対応して設けられ、遅延手段の

出力をさらに単位遅延時間分遅延させる第1複数個の補助遅延手段をさらに備える。

【0026】請求項8記載の同期通信クロック信号生成回路は、請求項7記載の同期通信クロック信号生成回路であって、遅延制御手段は、補償制御量の遅延手段の各々に対する分配量のうち、第1複数個の遅延手段に対して共通に割り当てられる共通分配値に対応する共通カウンタデータを生成する共通カウンタデータ生成回路と、第1複数個の補助遅延手段の一部を分散して活性化させる補助カウンタ信号生成回路とを含む。

【0027】請求項9記載の同期通信クロック信号生成回路は、請求項7記載の同期通信クロック信号生成回路であって、遅延制御手段は、補償制御量の遅延手段の各々に対する分配量のうち、第1複数個の遅延手段に対して共通に割り当てられる共通分配値に対応する個数の単位遅延手段を、遅延手段の各々において活性化し、かつ、遅延手段のうち予め定められた優先順位にしたがって順次選択される遅延手段ごとに、補助遅延手段をさらに活性化することで同期遅延手段の遅延量を制御し、優先順位は、順次選択される遅延手段が分散して分布するように定められる。

【0028】請求項10記載の同期通信クロック信号生成回路は、請求項7記載の同期通信クロック信号生成回路であって、遅延制御手段は、第1複数個は、 $2^m$ 個であり、単位遅延時間に相当する遅延手段の単位制御量により、補償制御量を $[(\text{単位制御量}) \times 2^m]$ に対する剰余Qで表現する場合、補償制御量が、 $[(\text{単位制御量}) \times 2^m] \times P + Q$ 、(P, Q: 0以上の整数)であるときに、

1) 1番目のステップにおいて、補償制御量のうち、

$[(\text{単位制御量}) \times P]$ で表される共通補償量を各遅延手段に割り当て、

1 i) 各j番目のステップにおいて、剰余Qに応じて、補助遅延手段の一部を選択的に活性化する処理を、第1番～第 $2^m$ 番の遅延手段を $2^{m-j}$ 個ずつの遅延手段を含む $2^j$ 個のグループに分け、 $2^j$ 個のグループの先頭の遅延手段に対応する補助遅延手段のうち(j-1)番目のステップまでに未だ活性化されていない補助遅延手段に、剰余Q分の割り当てが完了するまでステップを繰り返すことに相当する処理方法により行う。

【0029】

【発明の実施の形態】  
【実施の形態1】図1は、本発明の実施の形態1の同期通信クロック信号生成回路1000の全体構成を示す図である。

【0030】図1を参照して、同期通信クロック信号生成回路1000は基準クロック信号(以下、基準CLKという)を受けて基準クロック信号を2分周して得られる参照クロック信号(以下、REF信号という)を出力する分周部10と、REF信号を受けてこれに同期した周波数通信信号を出力する周波数通信部100と、周波

数逡倍部100の出力である逡倍信号とREF信号とを受けて両者の位相を調整する位相調整部200とを備える。同期逡倍クロック信号生成回路1000は、基準クロック信号を受けてこれに同期した周波数逡倍信号を出力CLK信号として得る回路である。

【0031】図2は、本発明の実施の形態1の同期逡倍クロック信号生成回路1000の構成および動作を説明するために、図1の具体的な構成例の一つとして示される同期逡倍クロック信号生成回路1500の詳細な構成を説明するためのブロック図である。

【0032】図2には、1つの2分周回路と4つのディレイラインとを備えた、与えられた基準CLKに対して2逡倍された出力CLK信号を得るための同期逡倍クロック信号生成回路1500の構成が示されている。

【0033】図2を参照して、同期逡倍クロック信号生成回路1500の分周部10は1個の2分周回路11を含む。2分周回路11の出力であるREF信号は、周波数逡倍部100および位相調整部200に伝達される。

【0034】周波数逡倍部100は、REF信号とフィードバック信号の位相を比較し比較結果に応じたアップカウント信号もしくはダウンカウント信号を生成する位相比較器110と、位相比較器110よりカウントアップ信号もしくはカウントダウン信号を受けてこれらをカウントするカウンタ120と、カウンタ120のカウント結果を受けてディレイラインDL-A1～DL-A4の逡延時間を設定するために、ディレイラインDL-A1～DL-A4に対して共通に設けられたデコード回路140とを備える。

【0035】さらに、周波数逡倍部100は、互いに直列に接続された4個のディレイラインDL-A1～DL-A4と、REF信号およびディレイラインDL-A1～DL-A3の出力を受けて参照クロック信号の4逡倍信号であるCLK-out信号を生成する逡倍パルス生成回路150と、ディレイラインDL-A4の出力を反転して位相比較器110にフィードバック信号として伝達するインバータ160とを備える。

【0036】位相比較器110は、図11の従来技術の同期逡倍クロック信号生成回路2000と同様に基準となるREF信号とフィードバック信号として与えられる最終段のディレイラインDL-A4の出力の反転信号/DL4との位相を比較するものである。位相比較器110は、REF信号と信号/DL4との位相を比較し、これに応じたアップカウント信号もしくはダウンカウント信号を出力する。カウンタ120は、位相比較器110によって生成されるアップカウント信号もしくはダウンカウント信号を受けてこれらをカウントする。

【0037】ディレイラインDL-A1～DL-A4のそれぞれは、従来技術の同期逡倍クロック信号生成回路2000と同様に16個の単位逡延素子を含み、デコード回路140の指令に応じて、入力された信号に対し

て $d \sim 15d$ の逡延時間( $d$ は単位逡延時間)の逡延を付与して出力する。ディレイラインDL-A1～DL-A4は互いに直列に接続され、初段のDL-A1の入力としてはREF信号が与えられる。

【0038】最終段のディレイラインDL-A4の出力はインバータ160によって反転された後、位相比較器110にフィードバック信号として与えられる。REF信号およびディレイラインDL-A1～DL-A3の出力である信号DL1～DL3は、逡倍パルス生成回路150に入力される。逡倍パルス生成回路150は、例えば従来技術の同期逡倍クロック信号生成回路2000におけるパルス生成回路PGの構成と同様にEX-ORゲートを含み、上記の入力信号を受けてREF信号の4逡倍信号であるCLK-out信号を生成する。

【0039】次に、各部の信号の関係を図3によって説明する。図3は、基準CLK信号、REF信号、各ディレイラインの出力信号DL1～DL4および逡倍信号CLK-outの関係を示すための波形図である。

【0040】図3を参照して、外部より与えられた基準クロック信号は、2分周されREF信号となる。参照クロック信号に対してTdだけ逡延した信号DL1がディレイラインDL1の出力として生成される。同様に、DL1からTdだけ逡延した信号DL2がディレイラインDL-A2の出力として得られる。同様に順次信号DL3および信号DL4が得られる。最終段のディレイラインDL-A4の出力である信号DL4の反転信号/DL4は、フィードバック信号として位相比較器110においてREF信号と比較される。この位相比較結果に応じて各ディレイラインDL-A1～DL-A4の逡延時間は順次変更され、最終的にはREF信号と信号/DL4とが同期した状態でロックされる。この状態における参照クロック信号REF、信号DL1～DL3を、たとえば図8に示すような3つのEX-OR回路からなる逡倍パルス生成回路150に入力することによってREF信号と同期した4逡倍の信号であるCLK-outを得ることができる。

【0041】再び図2を参照して、生成された逡倍信号CLK-outは位相調整部200に伝達される。位相調整部200は、逡倍信号CLK-outを受けて指定された逡延時間だけ逡延を行なうディレイラインDL-B1と、ディレイラインDL-B1の逡延時間を設定するデコード回路241と、ディレイラインDL-B1の出力信号と参照クロック信号REFとを受けて位相を比較する位相比較器210と、位相比較器210の位相比較結果に応じて出力されるカウントアップ信号もしくはカウントダウン信号に応じてこれをカウントし、カウントデータを生成するカウンタ220とを含む。

【0042】位相調整部200においては、位相比較器210においてREF信号と同期逡倍クロック信号生成回路の出力CLK信号であるディレイラインDL-B1



の出力信号との位相比較を行なう。これにより、REF信号の立ち上がりおよび立下がりすなわち基準クロック信号の立ち上がりごとに基準クロック信号と出力信号との位相誤差の調整が行なわれる。

【0043】図4は、同期通倍クロック信号生成回路1500における基準クロック信号CLK<sub>in</sub>に対する理想通倍信号と出力として得られるCLK<sub>out</sub>信号との位相誤差を説明するための概念図である。

【0044】図4を参照して、基準クロック信号CLK<sub>in</sub>の半周期は2Tであり、理想通倍信号の半周期はTである。

【0045】同期通倍クロック信号生成回路1500においては、基準クロックの1周期ごとに位相調整部200によって位相誤差を最小化することができる。図3においては、理想的な場合として、基準クロック信号の立ち上がりごとに位相誤差が解消されるケースにおける波形図を記載している。

【0046】しかしながら、ディレイラインの遅延時間はデジタル素子によって単位遅延時間dの整数倍として段階的に設定される値であるため、一般的に、 $(n-1)d < T < n \cdot d$ の関係が成立し、 $(n-1)d$ もしくは $n \cdot d$ とTとの差が、吸収することのできない位相誤差としてe ( $< d$ )として現われる。

【0047】同期通倍クロック信号生成回路1500においても、ディレイライン全体での位相調整は、従来の技術の同期通倍クロック信号生成回路2000と同様に4dを最小単位として段階的に行われる構成であるため、一旦発生した位相誤差eは、基準クロック信号の同一周期内においては、図3に示すように出力信号CLK<sub>out</sub>の立ち上がり、立下がりタイミングごとに積算されて現われる。

【0048】図5は、本発明の実施の形態1の同期通倍クロック信号生成回路1000の詳細な構成を示すブロック図である。

【0049】同期通倍クロック信号生成回路1000は、図4において説明した出力信号の立ち上がり、立下がりタイミングごとに現れる位相誤差の積算を抑制するためのものである。

【0050】本発明の実施の形態1の同期通倍クロック信号生成回路1000は、カウンタ120のカウンタ結果を受けて、各ディレイラインDL-A1~DL-A4の遅延時間を独立に設定するための制御信号である制御カウント信号CNT#1~CNT#4を生成する遅延制御回路130をさらに備える。

【0051】また、ディレイラインの遅延時間を設定するデコード回路は、DL-A1~DL-A4に対応してそれぞれ設けられる。デコード回路141~144は、制御カウント信号CNT#1~CNT#4を受けてディレイラインDL-A1~DL-A4の遅延時間を設定する。

【0052】ディレイラインDL-A1~DL-A4のそれぞれは、実施の形態1の同期通倍クロック信号生成回路1000と同様に16個の単位遅延素子を含み、デコード回路141~144の指令に応じて、入力された信号に対してd~15dの遅延時間(dは単位遅延時間)の遅延を付与して出力する。

【0053】位相比較器110は、上記の同期通倍クロック信号生成回路1500と同様に、REF信号と最終段のディレイラインDL-A4の出力信号DL4をインバータ160で反転して得られる信号/DL4との位相を比較し、これに応じたアップカウント信号もしくはダウンカウント信号を出力する。

【0054】カウンタ120は、位相比較器110によって生成されるアップカウント信号もしくはダウンカウント信号を受けてこれらをカウントするが、同期通倍クロック信号生成回路1500が4ビットのカウント信号によって4個のディレイラインに対して共通の制御信号を生成していたのに対して、本発明の実施の形態1においては、遅延時間をさらに詳細に制御するために、4個のディレイラインDL-A1~DL-A4の遅延時間を独立に設定するための2ビットの信号をカウンタデータとして付加する。以下では、便宜上カウンタデータの上位4ビットをカウンタデータの整数部と、カウンタデータの下位2ビットをカウンタデータの小数部と呼ぶ。

【0055】同期通倍クロック信号生成回路1000においては、カウンタ120におけるカウンタアップは最下位ビットすなわち小数第2位のビットを単位として行なわれる。遅延制御回路130は、カウンタ120から伝達されるカウンタデータの整数部(4ビット)および小数部(2ビット)に応じて、ディレイ回路DL-A1~DL-A4のそれぞれの遅延時間を独立に設定するための制御カウント信号CNT#1~CNT#4を生成する。

【0056】基準CLK信号、REF信号、各ディレイラインの出力信号DL1~DL4および通倍信号CLK<sub>out</sub>の関係について、図5で説明した同期通倍クロック信号生成回路1500においては、REF信号~DL1~DL2~DL3~DL4の間の遅延時間が共通の値(Td)であるのに対して、実施の形態1においては、これらの遅延時間がディレイラインごとに独立に設定されることが特徴である。

【0057】位相調整部200の構成および動作については、先に説明した同期通倍クロック信号生成回路1500と同様である。

【0058】次に、ディレイラインDL-A1~DL-A4における遅延時間の設定について、カウンタ120におけるカウントの方法および遅延制御回路130の構成によって説明する。

【0059】上述したように、カウンタ120においては、4個のディレイラインの各々にに設定される16段



階（1ビット）に可変な遅延時間を制御するためのカウントデータとして、小数部2ビットを拡張した合計6ビットの信号によりカウントを行なう。

【0060】すなわち、カウントデータの低位2ビットCount[0]～Count[1]はカウントデータの小数部を表わし、Count[2]～Count[m-1]はカウントデータの整数部を表わす。ここでmはカウントデータのビット数の合計を表わす（この例においてはm=6）。

【0061】ここで、カウントデータの整数部のビット数は、ディレイラインにおいて設定される遅延時間の段階数（すなわちディレイラインの各々が備える単位遅延素子の個数）に応じて決定すればよく、カウントデータの小数部のビット数は、ディレイラインの個数に応じて決定すればよい。

【0062】カウントデータの整数部および小数部に於いて各ディレイラインDL-A1～DL-A4の遅延時間を設定する制御カウント信号CNT#1～CNT#4が決定される。カウンタ120におけるカウントアップもしくはカウントダウンは、最小ビットであるCount[0]を単位として行なわれる。

【0063】各ディレイラインの遅延時間は、単位遅延時間dを最小単位として設定される。まず、カウントデータの整数部に対応して共通カウント信号GCNTが各ディレイラインに共通のデータとして設定される。一方で、カウントデータの小数部に対応して各ディレイラインに対して独立に設定される補助カウント信号INC#1～INC#4が生成される。補助カウント信号INC#1～INC#4は、出力信号の各エッジにおける位相誤差を均等に分散させることにより図3で指摘した位相誤差の積算を抑制するために、カウントデータの小数部に対応した遅延時間を各ディレイラインに割り当てて設定するための制御信号である。

【0064】図6は、ディレイラインが4個備えられ、カウントデータの小数部が2ビットの信号である同期逓倍クロック信号生成回路1000におけるカウントデータの小数部Count[0]、Count[1]と補助カウント信号INC#1～INC#4との関係を示す図である。

【0065】図6を参照して、カウントデータの小数部（以下、(Count[0]、Count[1])と表記する）が(0, 0)の場合には、補助カウント信号はいずれも0であり、制御カウント信号CNT#1～CNT#4は、カウントデータの整数部に対応する共通カウント信号GCNTに応じて各ディレイラインは共通の遅延時間が設定される。

【0066】カウントデータの小数部が(0, 1)の場合は、補助カウント信号INC#1のみが1となり、ディレイラインDL-A1に対する遅延時間を設定する制御カウント信号CNT#1には、他のディレイラインの

遅延時間を設定するCNT#2～CNT#4より1大きい値が設定される。

【0067】カウントデータの小数部が(1, 0)の場合は、(0, 1)の場合に加えて、ディレイラインDL-A3の遅延時間を単位遅延時間分だけ増加させるために補助カウント信号INC#3が1となり、制御カウント信号CNT#1およびCNT#3はCNT#2およびCNT#4より1だけ大きい値となる。カウントデータの小数部が(1, 1)の場合は、対応して補助カウント信号INC#1、INC#2、INC#3が1だけ増加される。

【0068】より一般的には、ディレイラインを $2^j$ 個備えた同期逓倍クロック信号生成回路においては、単位遅延時間dに相当する各ディレイラインの単位制御量により、位相比較器によって検出される補償制御量を $(d \times 2^j)$ に対する剰余Qで表現する場合、補償制御量が $(d \times 2^j) \times P + Q$ 、(P, Q: 0以上の整数)であるときに、

1) 1番目のステップにおいて、補償制御量のうち、 $(d \times 2^j) \times P$ で表される共通補償量を共通カウント信号GCNTによって各ディレイラインに共通に割り当て、

11) 各j番目のステップにおいて、剰余Qに応じて、 $2^j$ 個のディレイラインの一部に共通補償量に追加して単位制御量（単位遅延時間d）を割り当てる処理を、第1番～第 $2^j$ 番のディレイラインを $2^{j-1}$ 個ずつのディレイラインを含む $2^{j-1}$ 個のグループに分け、 $2^{j-1}$ 個のグループの先頭のディレイラインのうち、(j-1)番目のステップまでに上記の追加した単位制御量を未だ割り当てられていないディレイラインに、剰余Q分の割り当てが完了するまでステップを繰り返すことに相当する割り当て処理方法を行なうことにより、出力信号の各エッジにおける位相誤差を均等に分散させることができる。

【0069】図7は、図4で説明したカウントデータの整数部および小数部に対応した制御カウント信号CNT#1～CNT#4を得るための遅延制御回路130の具体的な構成の一例である。

【0070】図7を参照して、遅延制御回路130は、カウントデータの小数部を表わすCount[0]およびCount[1]を2入力とするORゲート131とANDゲート132とを含む。Count[m-1]～Count[2]で表わされるカウントデータの整数部は共通カウント信号GCNTとして加算回路133～135に与えられる。

【0071】加算回路133は、共通カウント信号GCNTとORゲート131の出力であるINC#1とを加算して制御カウント信号CNT#1を生成する。同様に、加算回路134は、共通カウント信号GCNTとANDゲート132の出力であるINC#2とを加算して制御カウント信号CNT#2を生成する。同様に、加算

回路135は、共通カウント信号GCNTとカウントデータの小数部の上位ビットCount[1]であるINC#3とを加算して制御カウント信号CNT#3を生成する。カウントデータの小数部Count[0]およびCount[1]にかかわらずINC#4は常に0であるから、制御カウント信号CNT#4は共通カウント信号GCNTと等しい。このように、カウンタ120で小数点以下のカウントを行ない、かつ、遅延制御回路130によって各ディレイラインの遅延時間を独立に設定することにより、従来の技術で問題となっていたロック時における出力信号と理想通倍信号の位相のずれを減少することができる。

【0072】図8は、たとえば、カウントデータの小数部が(1, 0)の場合における同期通倍クロック信号生成回路1000の出力信号と理想通倍信号との誤差を説明するための波形図である。

【0073】図8を参照して、外部から入力される基準CLK信号(半周期=2T)に対して理想通倍信号(半周期=T)が示される。この理想通倍信号に対する出力信号の位相誤差を考える。同期通倍クロック信号生成回路1000においては、カウントデータの小数部が

(1, 0)の場合、ディレイラインDL-A1およびDL-A3の遅延時間が、同期通倍クロック信号生成回路1500と比較して単位遅延時間dだけ大きく設定される。

【0074】これにより、図8における理想通倍信号と出力信号との位相誤差は、第1の立下がりエッジにおいて図4においてeであるのに対して $|e-d|$ となり、第2の立上がりエッジにおいては図4の誤差が2eであるのに対して $|2e-d|$ となり、第3の立下がりエッジにおいては図12における誤差が3eであるのに対して $|3e-2d|$ となる。このように、遅延制御回路130によって位相誤差の積み重ねを拡散するように各ディレイラインの遅延時間を独立して設定することにより、出力信号の各エッジにおける位相誤差の積み重ねの問題を解消することができる。

【0075】〔実施の形態2〕図9は、本発明の実施の形態2の同期通倍クロック信号生成回路1100の構成を示すブロック図である。

【0076】実施の形態2においては、補助ディレイラインSDL1~SDL4がディレイラインDL-A1~DL-A4のそれぞれに対応してさらに設けられる。補助ディレイラインSDL1~SDL4は、補助ディレイライン制御回路(以下、SDL制御回路という)170によって制御される。一方、ディレイラインDL-A1~DL-A4の遅延時間は単一のデコード回路140によって共通に制御される。

【0077】カウンタ120は、実施の形態1の同期通倍クロック信号生成回路1000と同様に、整数部4ビットおよび小数部2ビットのカウントを行なう。デコー

ド回路140は、カウントデータの整数部4ビットに対応してディレイラインDL-A1~DL-A4の遅延時間を設定する。

【0078】補助ディレイラインSDL1~SDL4は、ディレイラインDL-A1~DL-A4の出力に対して単位遅延時間dの遅延をさらに加算するための回路であって、カウントデータの小数部(2ビット)に応じてSDL制御回路170より出力される補助カウント信号INC#1~INC#4によって制御される。カウントデータの小数部2ビットに対する補助カウント信号INC#1~#4の設定方法は図6に示す方法と同様である。

【0079】図10は、SDL制御回路170の具体的な構成例を示す図である。図10を参照して、SDL制御回路170は、カウントデータの小数部2ビットに相当するCount[0]とCount[1]とを受けて補助カウント信号INC#1~#4を生成する。SDL制御回路170は、カウントデータの小数部に相当する2ビットの信号を2入力とするORゲート176とANDゲート177とを含む。ORゲート176の出力は、SDL1を制御する補助カウント信号INC#1を生成する。ANDゲート177の出力は、SDL2を制御する補助カウント信号INC#2となる。補助信号INC#3は、小数部の上位ビットCount[1]に等しく、INC#4は常に0である。これにより、カウントデータの小数部2ビットの信号に対応して図6に示す補助カウント信号INC#1~INC#4を得ることができる。

【0080】再び図9を参照して、同期通倍クロック信号生成回路1100は、上述した点以外においては、同期通倍クロック信号生成回路1000と同様の動作を行なうものであり、同期通倍クロック信号生成回路1000と同様に位相誤差のより小さな同期した周波数通倍信号を、より簡易な制御回路の構成によって得ることができる。

【0081】以上、本願発明の同期通倍周波数クロック発生回路の構成について述べたが、本願発明の構成は、実施の形態1および2において図5および図9で説明した同期通倍周波数クロック発生回路1000、1100に限られるものではない。

【0082】例えば、本願発明の構成を典型的なPLL(Phase-Locked-loop)回路もしくはDLL(Delay-Locked-loop)回路についても適用することができる。

【0083】より具体的には、例えば図5に示す同期通倍周波数クロック発生回路1000をPLL回路へ適用する場合には、ディレイラインDL-A1への入力信号を基準クロックではなくインバータ160の出力とすることによって、インバータ160とディレイラインDL-A1~DL-A4とによって自動発振器を構成すればよい。

【0084】同様に、図5に示す同期通倍周波数クロック発生回路1000をDLL回路へ適用する場合には、ディレイラインを8個直列に接続し、そのうちの第1～第4番のディレイラインDL-A1～DL-A4については、図5と同じ構成とすればよく、第8番目のディレイラインの出力と基準信号とが位相比較器110によって比較される構成とすればよい。

【0085】なお、今回開示された実施の形態は全ての点で例示であって、制限的なものではないと、考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0086】

【発明の効果】請求項1、2、3、4記載の同期通倍クロック信号生成回路は、各ディレイラインの遅延時間を独立して詳細に設定できるため、入力された基準クロック信号に対して位相誤差の小さい周波数通倍信号を得ることができる。

【0087】請求項5、6記載の同期通倍クロック信号生成回路は、請求項3記載の同期通倍クロック信号生成回路が奏する効果に加えて、基準クロックの同一周期内の位相誤差を均等に分散させることにより、出力信号の立ち上がり、立ち下がりエッジごとの位相誤差をさらに低減することができる。

【0088】請求項7、8記載の同期通倍クロック信号生成回路は、請求項1または2記載の同期通倍クロック信号生成回路が奏する効果を、より簡易な制御回路の構成の下で享受することができる。

【0089】請求項9、10記載の同期通倍クロック信号生成回路は、請求項5または6記載の同期通倍クロック信号生成回路が奏する効果を、より簡易な制御回路の構成の下で享受することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の同期通倍クロック信号生成回路1000の全体構成を示すブロック図である。

【図2】 本発明の実施の形態1の同期周波数通倍の具体的な構成例の一つとして示される同期通倍クロック信号生成回路1500の構成を説明するためのブロック図である。

【図3】 同期通倍クロック信号生成回路1500の各部の信号の関係を示すための波形図である。

【図4】 同期通倍クロック信号生成回路1500における理想通倍信号と出力信号との位相誤差を説明するための波形図である。

【図5】 本発明の実施の形態1の同期通倍クロック信号生成回路1000の詳細な構成を示すブロック図である。

【図6】 同期通倍クロック信号生成回路1000におけるカウンタデータの小数部と補助カウンタ信号との対応を示す図である。

【図7】 遅延制御回路130の具体的な構成の一例を示す図である。

【図8】 同期通倍クロック信号生成回路1000における理想通倍信号と出力信号との位相誤差を説明するための波形図である。

【図9】 本発明の実施の形態2の同期通倍クロック信号生成回路1100の構成を示す回路図である。

【図10】 SDL制御回路170の構成の具体例を示す図である。

【図11】 従来の技術の同期通倍クロック信号生成回路2000の構成を示す図である。

【図12】 同期通倍クロック信号生成回路2000のディレイラインの詳細な構成を示す図である。

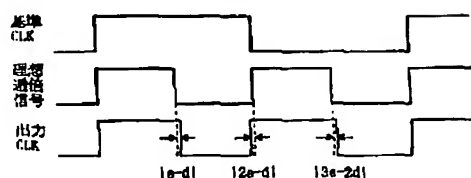
【図13】 同期通倍クロック信号生成回路2000のディレイライン制御回路DLICの詳細な構成を示す図である。

【図14】 従来の技術の同期通倍クロック信号生成回路2100の構成を示す図である。

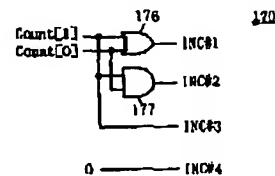
【符号の説明】

10 分周部、11 2分周回路、100 周波数通倍部、110、210 位相比較器、120、220 カウンタ、130 遅延制御回路、DL-A1～DL-A4、DL-B1 ディレイライン、141～144、241 デコード回路、150 通倍パルス生成回路、160 インバータ、200 位相調整部、131、176 ORゲート、132、177 ANDゲート、133～135 加算回路、170 SDL制御回路、200 位相調整部、SDL1～SDL4 補助ディレイライン、

【図8】

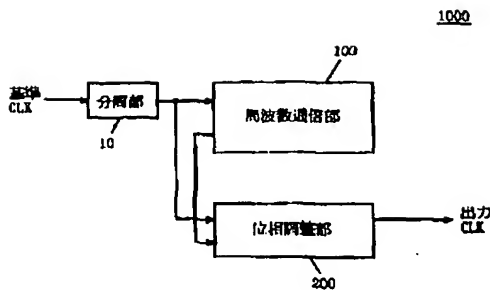


【図10】

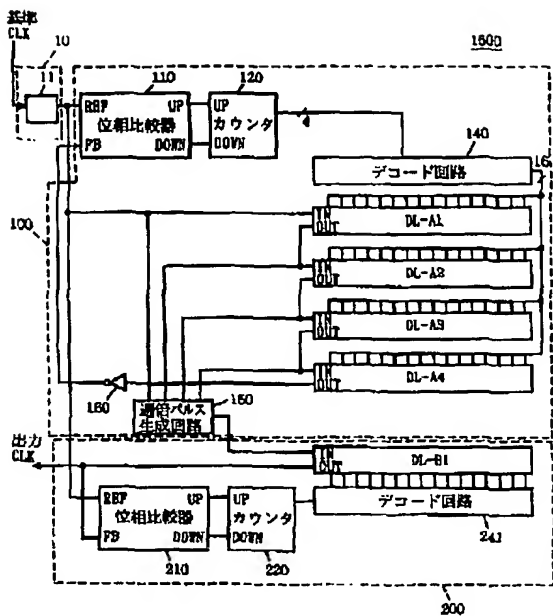


(11)

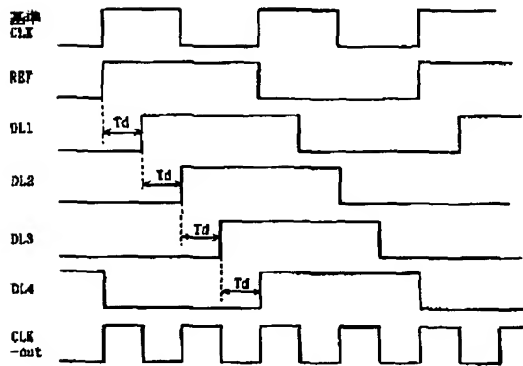
【図1】



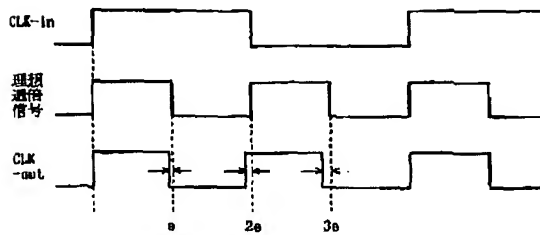
【図2】



【図3】



【図4】

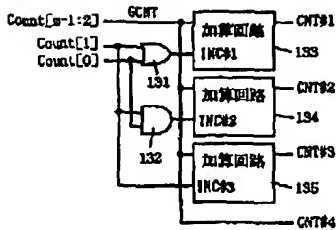


【図6】

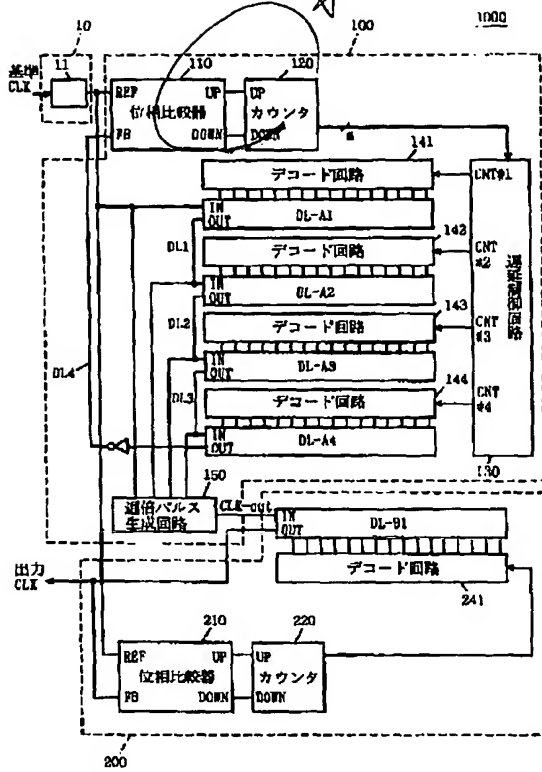
カウンタデータ(全数値)		補助カウンタ信号			
Count[1]	Count[0]	INC#1	INC#2	INC#3	INC#4
0	0	0	0	0	0
0	1	1	0	0	0
1	0	1	0	1	0
1	1	1	1	1	0

↓                      ↓                      ↓                      ↓  
DL-A1      DL-A2      DL-A3      DL-A4

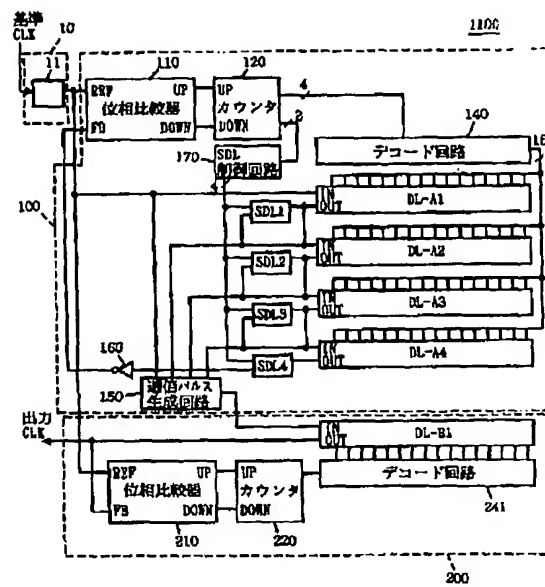
【図7】



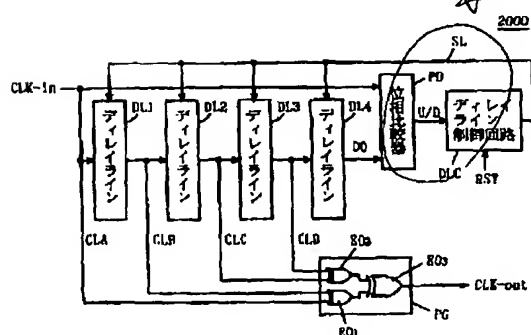
【図5】



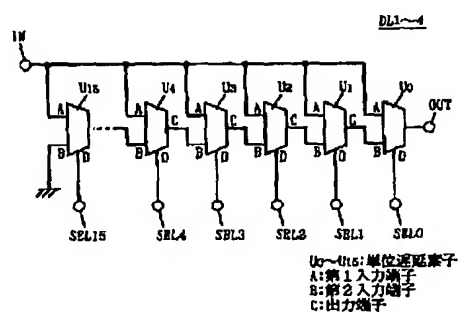
【図9】



【図11】

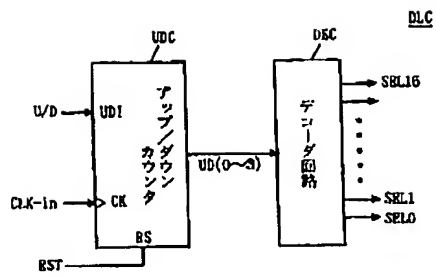


【図12】



(13)

【圖 13】



【图14】

